

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(Translation)

(19) Japan Patent Office (JP)

(11) Patent Application Release

(12) PUBLIC PATENT REPORT (A) Hei.3 [1991]-53171

(43) Released: 3/7/91

(51) Int. Cl.⁵ ID symbol Agency Control No.

G 01 R 1/067

B 6723-2G

H 01 L 21/66

B 7013-3F

Examination request: not yet requested
Items in request: 2 (Total 9 pages)

(54) Name of Invention: Semiconductor Integrated-Circuit
Testing Device

(21) Patent application: Hei.1 (1989)-187721

(22) Applied for: 7/20/1989

(72) Inventor: Yasuhiko Tando
c/o Fujitsu, Ltd.
1015 Kami-Odanaka
Nakahara-ku, Kawasaki-shi
Kanagawa Prefecture [Japan]

(71) Applicant: Fujitsu Ltd.
1015 Kami-Odanaka
Nakahara-ku, Kawasaki-shi
Kanagawa Prefecture [Japan]

(74) Agent: Keizo Okamoto, Patent Attorney

Specifications

1. Name of invention: Semiconductor Integrated-Circuit
Testing Device

2. Scope of patent application

1) In a semiconductor integrated-circuit (hereafter, IC--
translator) testing device which is equipped with at least a semi-
conductor test-processing means (11), a group of multiple
measuring electrodes (12) connected to said semiconductor test-
processing means (11), a stage-drive means (13) to mount and move

a test object (15) and a test control means (14) to control the said semiconductor test-processing means (11) and stage-drive means (13), and which vertically aligns the said test object (15) with the group of measuring electrodes (12) after which it tests the said test object (15) --

A semiconductor IC test device characterized by having the aforesaid group of measuring electrodes (12) equipped with contacts (12a) that are square in cross section or square in cross section with multiple projections made on the side for contacting the aforesaid test object (15).

2) A semiconductor integrated circuit testing device which is as in Patent Application Item 1 and which is characterized by one contact (12a) of the measuring electrode group (12) contacting one or more of the contacted electrodes (15a) of the aforesaid test object (15).

3. Detailed explanation of invention

Summary:

Bearing on a semiconductor IC testing device, and particularly on a device that makes the measuring electrode group contact the semiconductor chip's pad electrode group, --

And for the purpose of doing good precision tests by having the said measuring electrode group and pad electrode group make contact not at one point but actively make one measuring electrode contact multiple pad electrodes so as to reduce such things as contact drop-off that influence the measuring voltage, --

A first device equipped at least with a means for semiconductor test-processing, a group of multiple measuring electrodes connected to the above means for semiconductor test-processing, a means for moving a stage on which test objects are set and moved about, and a test-control means to control the above semiconductor test-processing means and stage-drive means; this same device also being so made that the above group of measuring electrodes on the semiconductor IC for later testing the said test object include installed contacts that are square in cross section or square in cross section and have multiple projections on the side in contact with the above test object, --

A second device made with the capacity for one contact of the first device's measuring electrode group to contact one or more of the above test object's electrodes.

Field for commercial utilization: This invention is one bearing on a semiconductor IC testing device and more specifically bearing on a testing device which makes a measuring electrode group contact a semiconductor chip's pad electrode group and test such things as its integrated circuits. In recent years, with the higher integration and high miniaturization of semiconductor IC devices, there is a trend for pad electrodes placed on one chip to number from dozens to hundreds. So, there is demand for test devices which, in supplying a testing voltage to the said integrated circuits, can attain contact under good electrical

conditions between the pad electrode group and the measuring electrode group.

Usual technology: Figures 6 and 7 are diagrams illustrating the usual case. Fig. 6 diagrams the makeup of the usual semiconductor IC testing device.

In the figure, the testing probe device's semiconductor IC testing device consists of semiconductor test-processing circuit 1, multiple probe needles (measuring electrode group) 2b attached to probe body 2a, stage-drive device 3 which mounts semiconductor device 5 and moves on X, Y and Z axes, and test control device 4 that controls inputs and outputs of semiconductor test-control circuit 1, stage-drive device 3, etc.. The function of the said device is to position probe needle 2b vertically with respect to pad electrode 5a of semiconductor chip 5 incorporating various types of electrical circuits, and then to make probe needle 2b contact pad electrode 5a so as to do various functional and operating tests of the electrical circuits within said semiconductor chip 5.

Also, the same figure's diagram within the dotted circle shows a situation where pad electrode 5a supplying the source voltage is contacting probe needle 2b.

In this same part of the figure, as semiconductor ICs become highly integrated and miniaturized, pad electrode 5a supplying the power lines up with 2-3 patterns just as do other pad electrodes inputting signals, and connecting them to internal power-source lines L. This achieves a lessening of voltage drop-off due to rationalizing power-supply handling which accompanies the higher integration, miniaturizing and transistor operation of semiconductor ICs. I.e., it increases the volume of supplied current. Also, one can improve the volume of current supplied by increasing pad electrode size; but that will invite delayed power supply processing due to such things as surface effects from high-frequency traits.

So, when doing power supply tests, one must make each probe needle 2b contact pad electrode 5a.

Problems invention seeks to resolve: Figures 7(a) and (b) are diagrams showing the problems with the usual case. Figure (b) shows an enlarged probe needle 2b.

In the figure, e.g., with a 10×10mm semiconductor chip made with some 300~400 pad electrodes 5a with a width of some 500μm, probe needles 2b naturally match the number of pad electrodes. Their installed thickness θ_1 will be 200~300μm and the thickness θ_2 of their points will be some 30~50μm. Also their arm length l will be some 10mm.

So, with the higher integration and density of semiconductor IC devices and the narrowing of the pitch at which pad electrodes 5a

are made, probe needles 2b naturally and inevitably become narrowed as well.

This same figure (b) shows equivalent circuits between probe body 2a and electrodes 5a.

In this figure, R_0 is the parasitic resistance of probe needle 2b and is determined by the material of probe needle 2b, its arm length l and sectional area S . R_c is the contact resistance and is determined by the area of contact between probe needle 2b and pad electrode 5a and the conditions of their contact surfaces. Hence, the equivalent resistance between probe body 2a and pad electrode 5a becomes $R_0 + R_c$.

When doing functional and operational tests of the electrical circuits in the usual semiconductor chip 5, one makes probe needle 2b contact three pad electrodes 5a and passes a current, as in the dotted circle of Fig. 6. This will make the equivalent resistance between the power source and electrodes 5a be $1/3 R_0 + R_c$.

However, due to the higher density and higher integration of semiconductor ICs, the trend is for this equivalent resistance to increase as probe needles 2b become ever tinier.

Due to this, voltages impressed by semiconductor test-processing circuits based on design data bring about a drop-off in the said equivalent-resistance voltage, and the internal power lines L in semiconductor chip 5 do not boost as they are designed to do.

This causes such problems as the output level of ECL (emitter coupled logic) circuits not rising to design level due to power source voltage V_{CC} not reaching design level, standard voltage V_{REF} dropping and, while nothing is wrong with the semiconductor ICs, the semiconductor test-processing circuits of the testing device give wrong and poor findings.

This invention was devised after considering such problems with the usual case; and it has the goal of providing a semiconductor IC-testing device that does not have a single contact point between the measuring-electrode group and the pad-electrode group but actively makes one measuring electrode contact multiple pad electrodes, reduces things like contact drop-off in the measuring voltage and so enables testing with good precision.

Means to resolve problems

Figure 1 diagrams the principles of this invention's semiconductor IC-testing device.

The first device is a semiconductor IC-testing device equipped at least with semiconductor test-control means 11, a group of multiple measuring electrodes connected to above semiconductor test-control means 11, stage-drive means 13 mounting and moving test

object 15, and test-control means 14 to control the above semiconductor test-control means 11 and stage-drive means 13. It also positions vertically the above test object 15 and measuring electrode group 12, and then tests said test object 15. The above measuring electrode group 12 is characterized by having square cross-section contact 12a or square cross-section contact 12a with multiple protrusions on the side contacting above test object 15.

The second device is characterized by one contact 12a of the first device's measuring electrode group 12 contacting one or more of the contacted electrodes 15a of above test object 15.

Effects: In this invention's first device, contact 12a of measuring electrode group 12 is square in cross-section or has multiple protrusions installed on its contacted side.

Due to this, whereas the usual probe needle makes a single-point contact, by making contact 12a square in cross section one can get surface contact between contacted electrode 15a of test object 16 and contact 12a. Similarly, in contrast to the usual case's one-point contact, by installing multiple protrusions on the contacted side of contact 12a, one can get many contact points between test object 15's contacted electrodes 15a and contact 12a.

Consequently, since the area of contact is greater than the usual case, contact resistance is reduced, making it possible to lessen contact drop-off due to this.

This means one can do testing of test object 15 with good precision.

Also, with this invention's second device contact 12a makes contact with one or more of test object 15's contacted electrodes 15a.

So, although three probe needles 2b as in the usual case are contacting the common power source, one can avoid the situation of dealing one to one with probe needles 2b and the pad electrode group. So, by having probe needles 2b that usually connect to a common power source combined as one square probe needle one can make its cross-sectional area greater than the usual case, thus enabling one to reduce its own parasitic resistance with the square probe needle.

Thereby, such problems as greater contact drop-off are reduced compared to the first device, and it becomes possible to test the test object 15 with good precision.

Examples of application

Next I will explain examples of applying this invention while referring to the figures.

Figures 2-5 are diagrams illustrating a case of applying this invention's semiconductor IC-testing device.

(i) Explanation of first application example

Figure 2 shows a diagram of the first application example of this invention's semiconductor IC-testing device.

In the figure, 21 is a semiconductor-testing logic circuit as one example of semiconductor test-management means 11, and is an LSI tester doing logic-operation and function testing of semiconductor chip 25 which combines a variety of electrical circuits. 22 is the probe card for one example of measuring electrode group 12, and receives semiconductor chip 25's pad electrode data. Probe card 22 consists of probe body 22 and probe needle 22b. Probe card 22 may be interchanged according to the integration size of the semiconductor chip (LSI chip) forming semiconductor chip 25.

The diagram within the dotted line in the same figure enlarges probe needle 22b and shows the situation where its contact 22c is contacting pad electrode 25a of semiconductor chip 25. I will explain contacts 22 with Figure 3.

23 is one example of the stage-drive device of stage-moving means 13 and is what shifts the stage-mounted semiconductor chip 25 in the X, Y and Z axes. 24 is an example of the test-control device of test-control means 14, and controls the inputs and outputs of semiconductor-testing logic circuit 21 and stage-drive device 23.

Figs. 3(a) and (b) are diagrams illustrating the probe needles of the first application example of this invention. Figure (a) is a side view, while (b) shows a frontal view.

In (a), contact 22c has multiple protrusions 22d that seem to dig into semiconductor chip 25's pad electrode 25a. And, in (b) contact 22c has a cross section that is rectangular so that it can simultaneously contact three of semiconductor chip 25's pad electrodes 25a.

Also, as the material for contact 22a, I use such soft metals as BeCu or Pd. These are used because plating the LSI chips' electrodes with Au (gold) or lead (Pd) serves to reduce their contact resistance.

Moreover, pad electrodes 25a for this application example of the invention are what supply power; and I arrayed three pad electrodes for inputting signals. Also, they connect to internal power lines L in semiconductor chip 25.

These, then, make up the semiconductor IC-testing device for this example of this invention.

Next I will explain the operation of the testing device of this application example of the invention.

First, before semiconductor IC testing, one mounts semiconductor chip 25 on the stage, setting it in a level position. At this point, the stage-drive device is controlled by first control signal S1 from test-control device 24.

Next, the horizontally set stage is moved on two axes to position probe needle 22b vertically above pad electrode 25a of a certain LSI chip. At this time, contact detectors not shown in the figure detect contact between pad electrode 25a and probe needle 22b. By inputting the said detection signal, test-control device 24 halts stage-drive device 23.

This enables contact 22c to make contact with (dig into) pad electrode 25a.

After that, just as in the usual case, a second control signal S2 is output from test-control device 24 to semiconductor-test logic circuit 21; and--based on the said second control signal S2--the LSI chip's logic testing and operating tests are run through.

For instance, when the LSI chip has an ECL circuit, test voltage is impressed from semiconductor-testing logic circuit 21 to pad electrode 25a. The voltage resulting from that test is input from other pad electrodes to semiconductor-testing logic circuit 21. This enables one to judge whether the said LSI chip is good or not.

This is how contact 22c of probe needle 22b is used in its square cross-section form and protrusions 22d on its obverse side are put to use in the first application example of this invention.

So, whereas the usual probe needle has a single point of contact, due to the protrusions 22d multiply installed on contact 22c, multiple contacts can be made by the said contact 22c with semiconductor chip 25's pad electrode 25a. Hence, compared to the usual case, the contact area is larger and contact resistance is reduced, thus making it possible to reduce contact drop-off.

This in turn enables one to test ECL circuits in semiconductor chip 25 with good precision.

(ii) Explanation of second application example

Figures 4(a) and (b) are diagrams illustrating the probe needle for the second application example of this invention, with (a) being a side-view and (b) being a frontal-view diagram for this example.

In (a) and (b) this second application example differs from the first example in that protrusions 22d are not installed on contact 22e. Furthermore, whereas the first application example's

contact 22c is itself a probe needle 22b, in this second application example I used tungsten for probe needle 22b and BeCu or Pd for contact 22e.

The other components are the same as in the first application example and are omitted from this explanation.

With the second application example thus constituted, contact 22e of probe needle 22b is made with a square cross section, and tungsten is used for the arm portion of said probe needle 22b..

So, whereas the usual probe needle makes one-point contact, making contact 22e square in cross section enables pad electrode 25a of semiconductor chip 25 to make surface contact due to its good springiness (hardness). Hence, since the contact area is greater than in the first example, contact resistance is considerably reduced, and it therefore becomes possible to reduce such things as contact drop-off.

Thus, just as with the first application example, one can conduct tests of semiconductor chip 25 with good precision.

(iii) Explanation of third application example

Figures 5(a) and (b) are diagrams illustrating the probe needle for the third application example of this invention, with (a) giving the side view and (b) showing a frontal view.

What differs here from the first and second application examples is that, whereas probe needle 22b of the first application example was made of the same material as contact 22c, here in the third example I used tungsten for the arm part of probe needle 22b as in the second example and used BeCu and Pd for contact 22f while putting protrusions 22d on each.

Thereby, the probe needle it shares with the first and second application examples enables one to do such tests as functional and operational testing of the ECL circuits in semiconductor chip 25 with good precision.

In this way, with application examples 1, 2 and 3, contacts 22c, 22e and 22f continuously contact three pad electrodes 25a of semiconductor chip 25.

Because of this, although three probe needles 22b in the usual case are connected to a common power source, one can avoid the situation of probe needles 22b and pad electrodes having to correspond one on one. Hence, combining probe needles 22b which usually are connected to a common power source into a single square probe needle lets one make the cross section larger than in the usual case. This in turn can reduce the self-parasitic resistance for the square probe needle and enables one to reduce voltage drop-offs caused by said parasitic resistance.

This enables one to further reduce contact drop-off compared to the usual testing device and to conduct semiconductor IC testing with good precision.

Invention's effectiveness

As explained above, with this invention one can achieve multi-point contact or surface contact between the test object's pad electrodes and probe needle with a square cross-section or having protrusions on the obverse side.

Because of the good electrical contact conditions thus possible between probe needles and pad electrodes, one can reduce contact drop-off in the test object's measuring voltage and eliminate misjudgments due to input margin shortages of the test body.

Thus, it contributes greatly to manufacturing semiconductor IC-testing devices of high reliability.

4. Simple explanation of figures

Figure 1 is a diagram of the principle for this invention's semiconductor IC-testing device.

Figure 2 diagrams the makeup of the first application example of this invention's semiconductor IC-testing device.

Figures 3(a) and (b) are diagrams illustrating the probe needle for this invention's first application example.

Figures 4(a) and (b) are diagrams illustrating the probe needle for this invention's second application example.

Figures 5(a) and (b) are diagrams illustrating the probe needle for this invention's third application example.

Figure 6 diagrams the makeup for the usual semiconductor IC-testing device.

Figures 7(a) and (b) are diagrams illustrating the problems of the usual case.

Explanation of Key Symbols

- 1 Semiconductor test-processing circuit
- 2a ... Probe body
- 2b ... Multiple probe needles
- 3 Stage-drive device
- 4 Test-control device
- 5 Semiconductor device
- 5a ... Pad electrode
- 11 ... Means for semiconductor test processing
- 12 ... Group of measuring electrodes
- 12a .. Contact

13 ... Stage-drive means
14 ... Test-control means
15 ... Test object
21 ... Semiconductor-testing logic circuit
22 ... Probe card
22b .. Probe needle
22c .. Contact
22d .. Protrusions
22e .. Contact
22f .. Contact
23 ... Stage-drive device
24 ... Test-control device
25 ... Semiconductor chip
25a .. Pad electrode

Applicant: Fujitsu, Ltd.

Agent: Keizo Okamoto, Patent attorney

(54) DATA CHECK DEVICE FOR AUTOMATIC ANALYZER

(11) 3-53169 (A) (43) 7.3.1 (19) JP

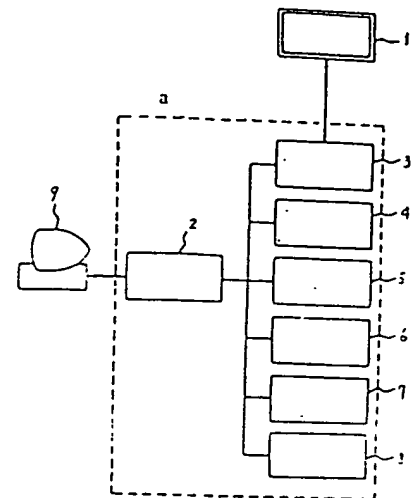
(21) Appl. No. 64-187352 (22) 21. . 89

(71) HITACHI LTD (72) NORIKO HIZUMI(1)

(51) Int. Cl. G01N35/00//G06F3/02,G06F11/00

PURPOSE: To improve the operability by dividing data check logics into groups by analysis items and retrieving combinations of data check logics, whose discrimination results contradict each other, out of these data check logics to dissolve contradictions.

CONSTITUTION: Combinations of logics (whose contradictions may be detected by a contradiction detecting part 5) are detected from data check logics (inputted to a data check logic register part 4) and are outputted to an input/output device 9, and contradiction dissolution data is stored in a contradiction dissolution information setting part 6. A communication processing part 3 reads out check data from an automatic analyzer 1 or the device 9, and a data check processing part 7 checks data by data check logics. A contradiction dissolving part 8 refers to contradiction dissolution information stored in the setting part 6 to dissolve contradictions with respect to data check results. Since combinations of data check logics which may contradict each other out of individual data check logics are automatically discriminated, it is unnecessary to verify individual data check logics and the operability is improved.



2: central control part. a: data check device

(54) FLOW VELOCITY SENSOR

(11) 3-53170 (A) (43) 7.3.1991 (19) JP

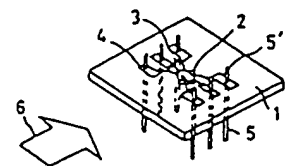
(21) Appl. No. 64-186092 (22) 20.7.1989

(71) TOKYO GAS CO LTD(3) (72) KATSUTO SAKAI(7)

(51) Int. Cl. G01P5/08,G01F1/00

PURPOSE: To prevent the damage of a flow velocity sensor chip and a wire bond by attaching pins around the flow velocity sensor chip on a substrate without disturbing the current of a fluid to be measured.

CONSTITUTION: Through holes of the substrate are pierced by pins 5, and the height of projection of pins 5' from the surface of the substrate is made properly higher than that of a wire bond 3. Since pins 5' are arranged in parallel with the current direction of an arrow 6 and do not exist in the front of a chip 2, the current of the fluid to be measured is not disturbed by attachment of pins 5, and detection of the flow velocity is not affected. The chip 2 and the wire bond 3 are protected by pins 5' and are hardly damaged though a flow velocity sensor is dropped.



(54) SEMICONDUCTOR INTEGRATED CIRCUIT TESTING DEVICE

(11) 3-53171 (A) (43) 7.3.1991 (19) JP

(21) Appl. No. 64-187721 (22) 20.7.1989

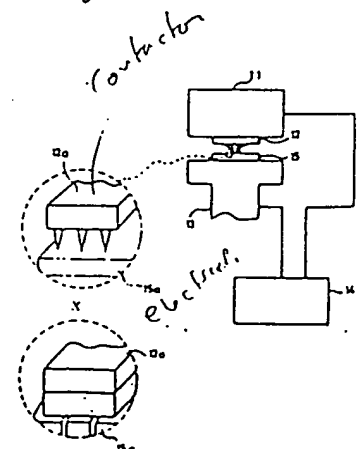
(71) FUJITSU LTD (72) YASUHIKO TANDO

(51) Int. Cl. G01R1/067,H01L21/66

PURPOSE: To improve accuracy in test by making the cross-sectional shape of the contactor of a measuring electrode group square or providing plural projections on the surface to be contacted of the contactor.

CONSTITUTION: By making the cross-sectional shape of the contactor 12a of the measuring electrode group 12 square, the electrode 15a to be contacted is made to plane-contact with the contactor 12a so as to reduce contact resistance. Otherwise, plural projections are provided on the surface to be contacted of the contactor 12a and the electrode 15a is made to multipoint-contact with the contactor 12a so as to reduce the contact resistance, thereby performing the test with high accuracy.

corresponding to Citation(1)



⑫ 公開特許公報(A) 平3-53171

⑮ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)3月7日

G 01 R 1/067
H 01 L 21/66B 6723-2G
B 7013-5F

審査請求 未請求 請求項の数 2 (全9頁)

⑭ 発明の名称 半導体集積回路試験装置

⑯ 特 願 平1-187721

⑰ 出 願 平1(1989)7月20日

⑱ 発 明 者 丹 藤 安 彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 岡 本 啓 三

明 細 書

1. 発明の名称

半導体集積回路試験装置

2. 特許請求の範囲

(1) 少なくとも、半導体試験処理手段(11)と、前記半導体試験処理手段(11)に接続された複数の測定電極群(12)と、被試験物体(15)を載置して駆動するステージ駆動手段(13)と、前記半導体試験処理手段(11)及びステージ駆動手段(13)を制御する試験制御手段(14)とを具備し、前記被試験物体(15)と測定電極群(12)とを垂直位置合わせし、その後、該被試験物体(15)の試験をする半導体集積回路試験装置において、

前記測定電極群(12)は、断面角形状、もしくは、前記被試験物体(15)に接触する側に複数の突起を形成した断面角形状の接触子(12a)を設けていることを特徴とする半導体集積回路試験装置。

(2) 請求項1記載の半導体集積回路試験装置であ

って、測定電極群(12)の一つの接触子(12a)が前記被試験物体(15)の被接触電極(15a)の一つ又はそれ以上に接触することを特徴とする半導体集積回路試験装置。

3. 発明の詳細な説明

(概要)

半導体集積回路試験装置、特に半導体チップのパッド電極群に測定電極群を接触させて、その集積回路等の試験をする装置に関し、

該測定電極群とパッド電極群とを一点接触することなく、積極的に一つの測定電極で複数のパッド電極に接触して、測定電圧に係る接触降下等を低減し、精度良い試験を行うことを目的とし、

第1の装置は、少なくとも、半導体試験処理手段と、前記半導体試験処理手段に接続された複数の測定電極群と、被試験物体を載置して駆動するステージ駆動手段と、前記半導体試験処理手段及びステージ駆動手段を制御する試験制御手段とを具備し、前記被試験物体と測定電極群とを垂直位置合わせし、その後、該被試験物体の試験をする

半導体集積回路試験装置において、前記測定電極群は、断面角形状、もしくは、前記被試験物体に接触する側に複数の突起を形成した断面角形状の接触子を設けていることを含む構成し、

第2の装置は、第1の装置の測定電極群の一つの接触子が前記被試験物体の被接触電極の一つ又はそれ以上に接触することを含む構成する。

(産業上の利用分野)

本発明は、半導体集積回路試験装置に関するものであり、更に詳しく言えば半導体チップのパッド電極群に測定電極群を接触させて、その集積回路等の試験をする試験装置に関するものである。

近年、半導体集積回路装置の高集積化、超微細化に伴い、1チップに対してパッド電極等が数十〜数百本程度もしくはこれ以上設置される傾向にある。

これによれば、該集積回路に試験電圧を供給する際に、パッド電極群と測定電極群とを電気的良好的な状態で接触させることができる試験装置の要

るパッド電極5aとプローブ針2bとの接触している状態を示している。

同円内図において、半導体集積回路の高集積、微細化に伴って、電源を供給するパッド電極5aは、他の信号を入力するパッド電極と同じパターンのものを2〜3個を並べ、それが内部電源線に接続されている。これは、半導体集積回路の高集積、微細化及びトランジスタ動作の高速化に伴う電源供給処理の合理化、すなわち電流供給量を多くして電圧降下の低減を図るものである。なお、パッド電極形状を大きくすると、電流供給量の点について改善できるが、高周波特性による表皮効果等により電源供給処理に遅延を招くことがある。

従って、電源供給試験を行う場合、プロービング針2bを個々のパッド電極5aに接触させる必要がある。

(発明が解決しようとする課題)

第7図(a)、(b)は、従来例の問題点に係る説明図であり、同図(b)は、プローブ針2b

望がある。

(従来の技術)

第6、7図は、従来例に係る説明図である。

第6図は、従来例の半導体集積回路試験装置に係る構成図を示している。

図において、試験用プロービング装置等の半導体集積回路試験装置は、半導体試験処理回路1とプローブ体2aに取り付けられた複数のプローブ針(測定電極群)2bと、半導体装置5を装置してX-Y-Z方向に駆動するステージ駆動装置3と、半導体試験処理回路1やステージ駆動装置3等の入出力を制御する試験制御装置4からなる。また、該装置の機能は、各種電気回路を組み込んだ半導体チップ5のパッド電極5a等とプローブ針2bとを垂直位置合わせをし、その後、パッド電極5aとプローブ針2bとを接触させて、該半導体チップ5内の電気回路等の機能試験や動作試験等をするものである。

また、同図の破線円内図は、電源電圧を供給す

る拡大図を示している。

図において、例えば半導体チップ10×10(mm)に幅500(μm)程度のパッド電極5aが300〜400本程度形成された場合、プローブ針2bは当然パッド電極数と同じ数になり、その取り付け部の太さφ1は200〜300(μm)程度であり、その先端部の太さφ2は30〜50(μm)程度となる。また、その腕の長さLは10(mm)程度である。

従って、半導体集積回路装置の高集積化、高密度化によりパッド電極5aの形成ピッチも狭くなることから、当然プローブ針2bも細状化を余儀なくされる。

同図(b)は、プローブ体2aとパッド電極5aとの間の等価回路を示している。

同図(b)において、R₂はプローブ針2bの寄生抵抗であり、プローブ針2bの材質と、腕の長さLとその断面積Sにより決定されるものである。R_cはコンタクト抵抗であり、プローブ針2bとパッド電極5aとの接触面積及びその接触及

面の状況により決定されるものである。従って、プローブ針2aとパッド電極5aとの間の等価抵抗は $R_L + R_C$ となる。

ところで、従来例の半導体チップ5内の電気回路等の機能試験や動作試験をする場合、第6図の破線内内図のように、パッド電極5aの3個にプローブ針2bを接触させて電源を供給している。これにより、電源とパッド電極5aとの間の等価抵抗は $1/3 R_L + R_C$ になる。

しかし、半導体集積回路の高密度、高集積化によりプローブ針2bが益々細状化することから該等価抵抗の増加の傾向にある。

このため、設計データに基づいて半導体試験処理回路より印加された電圧が、該等価抵抗の電圧降下（以下接触降下という）を生じ、半導体チップ5内の内部電源線Lが設計通りに昇圧しないことがある。

これにより、例えば電源電圧VCCが設計値に到達しないことからECL（Emitter Coupled Logic）回路の出力レベルが設計値まで上昇しな

段13を制御する試験制御手段14とを具備し、前記被試験物体15と測定電極群12とを垂直位置合わせし、その後、該被試験物体15の試験をする半導体集積回路試験装置において、前記測定電極群12は、断面角形状、もしくは、前記被試験物体15に接触する側に複数の突起を形成した断面角形状の接触子12aを設けていることを特徴とし、

第2の装置は、第1の装置の測定電極群12の一つの接触子12aが前記被試験物体15の被接触電極15aの一つ又はそれ以上に接触することを特徴とし、上記目的を達成する。

（作用）

本発明の第1の装置によれば、測定電極群12の接触子12aは断面角形状、又はその被接触面に複数の突起が設けられている。

このため、従来例のプローブ針が一点接触するのに対して、接触子12aを断面角形状にすることにより被試験物体16の被接触電極15aと接

ったり、基準電圧VREFが降下し、半導体集積回路には不具合が無いにも拘らず、試験装置の半導体試験処理回路が誤って不良の判定をするという問題がある。

本発明は、かかる従来例の問題点に鑑み創作されたものであり、測定電極群とパッド電極群とを一点接触することなく、積極的に一つの測定電極を複数のパッド電極に接触させて、測定電圧に係る接触降下等を低減し、精度良い試験を行うことを可能とする半導体集積回路試験装置の提供を目的とする。

（課題を解決するための手段）

第1図は、本発明の半導体集積回路試験装置に係る原理図を示している。

その第1の装置は、少なくとも、半導体試験処理手段11と、前記半導体試験処理手段11に接続された複数の測定電極群12と、被試験物体15を載置して駆動するステージ駆動手段13と、前記半導体試験処理手段11及びステージ駆動手

触子12aとを面接触とすることができる。同様に、従来例の一点接触に対して、接触子12aの被接触面に突起を複数設けることにより、被試験物体15の被接触電極15aと接触子12aとを多点接触とすることができる。

従って、従来例に比べて接触面積が多くなることから、接触抵抗が低減され、これによる接触降下を減少させることが可能となる。

これにより、精度良い被試験物体15の試験を行うことが可能となる。

また、本発明の第2の装置によれば接触子12aが被試験物体15の被接触電極15aの一又はそれ以上接触している。

このため、従来例のようにプローブ針2b3本が共通の電源に接続されるのにも拘らず、プローブ針2bとパッド電極群とを1対1に対応させるという事態を免れることができる。従って、従来共通電源に接続されていたプローブ針2bをまとめて1本の四角形状のプローブ針とすることにより、その断面積を従来例に比べて多くすることが

できることから、四角形状のプロープ針に係る自己の寄生抵抗そのものも減少させることが可能となる。

これにより、第1の装置に比べて一層接触圧降下等が減少し、精度良い被試験物体15の試験を行うことが可能となる。

(実施例)

次に図を参照しながら本発明の実施例について説明をする。

第2～5図は、本発明の実施例に係る半導体集積回路試験装置を説明する図である。

(1) 第1の実施例の説明

第2図は、本発明の第1の実施例の半導体集積回路試験装置に係る構成図を示している。

図において、21は半導体試験処理手段11の一実施例となる半導体試験論理回路であり、各種電気回路を組み込んだ半導体チップ25の論理動作や機能試験をするLSIテストである。22は、測定電極群12の一実施例となるプロープカード

であり、半導体チップ25のパッド電極情報を授受するものである。プロープカード22は、プロープ体22とプロープ針22bから成る。プロープカード22は、半導体チップ25に形成された半導体チップ(LSIチップ)の集積規模に応じて交換される。

同図の破線円内図は、プロープ針22bの拡大図であり、その接触子22cと半導体チップ25のパッド電極25aとが接触している状態を示している。なお、接触子22cについては第3図で説明をする。

23は、ステージ駆動手段13の一実施例となるステージ駆動装置であり、半導体チップ25を載置したステージをX、Y、Z方向に移動するものである。24は試験制御手段14の一実施例となる試験制御装置であり、半導体試験論理回路21及びステージ駆動装置23の入出力を制御するものである。

第3図(a)、(b)は、本発明の第1の実施例に係るプロープ針の説明図であり、同図(a)

はその側面図、同図(b)はその前面図をそれぞれ示している。

同図(a)において、接触子22cは複数の突起部22dを有し、半導体チップ25のパッド電極25aに食い込ませるようにしている。また同図(b)において、接触子22cの断面は長方形状をしており、半導体チップ25のパッド電極25aの3個を同時に接触することができる。

また、接触子22aの材質はBeCuやPd等の軟質金属を用いている。これは、LSIチップのパッド電極等がAu(金)やPd(鉛)メッキにより形成されるため、その接触抵抗の低減を図ることから用いられる。

なお、本発明の実施例に係るパッド電極25aは、電源を供給するものであり、信号を入力するパッド電極を3個並べたものである。また、半導体チップ25内で内部電源線に接続されているものとする。

これらにより、本発明の実施例に係る半導体集積回路試験装置を構成する。

次に本発明の実施例に係る試験装置の動作について説明する。

まず、半導体集積回路試験に先立ち、ステージに半導体チップ25を載置して、水平方向の位置合わせをする。この際に試験制御装置24から第1の制御信号S1によってステージ駆動装置が制御される。

次いで、水平方向に位置合わせされたステージをZ方向に移動して、半導体チップ25内の、ある一つのLSIチップのパッド電極25aとプロープ針22bとの垂直位置合わせをする。この際に、不図示の接触検知器等により、パッド電極25aとプロープ針22bとの接触を検知する。検知検知信号を入力した試験制御装置24がステージ駆動装置23を停止する。

これにより、接触子22cをパッド電極25aに接触させる(食い込ませる)ことができる。

この後は、従来例と同様に、試験制御装置24から第2の制御信号S2が半導体試験論理回路21に出力され、第2の制御信号S2に基づいて、

LSIチップの性能試験や動作試験等を行う。

例えば、LSIチップがECL回路のような場合、半導体試験治具回路21から試験電圧がパッド電極25aに印加され、他のパッド電極等からその試験結果電圧が半導体試験治具回路21に入力される。これにより、該LSIチップの良否を判定することができる。

このようにして、本発明の第1の実施例によれば、プローブ針22bの接触子22cが断面角形状でその裏面に突起部22dが設けられている。

このため、従来例のプローブ針が1点接触するのに対して、接触子22cに複数設けられた突起部22dにより、半導体チップ25のパッド電極25aと該接触子22cとを多点接触とすることができる。従って、従来例に比べて接触面積が多くなることから接触抵抗が低減され、これによる接触降下を減少させることが可能となる。

これにより、半導体チップ25内のECL回路等の精度良い試験を行うことが可能となる。

とにより、半導体チップ25のパッド電極25aと該接触子22eとをバネ性（剛性）豊かに面接触させることができる。従って、第1の実施例に比べて接触面積が多くなることから、接触抵抗が一層低減され、これによる接触降下等を減少させることが可能となる。

これにより、第1の実施例と同様に半導体チップ25の精度良い試験を行うことが可能となる。

(iii) 第3の実施例の説明

第5図(a)、(b)は、本発明の第3の実施例に係るプローブ針の説明図であり、同図(a)はその側面図、同図(b)はその前面図をそれぞれ示している。

図において、第1、第2の実施例と異なるのは、第1の実施例のプローブ針22bが接触子22cを同一材料から形成するのに対し、第3の実施例では、第2の実施例に係るプローブ針22bのフーム部分にタングステンを使用し、接触子22fにBeCu、Pdを用い、さらにそれに突起部22dを

(ii) 第2の実施例の説明

第4図(a)、(b)は、本発明の第2の実施例に係るプローブ針の説明図であり、同図(a)はその側面図、同図(b)はその前面図を示している。

同図(a)、(b)において、第1の実施例と異なり、第2の実施例では、突起部22dが接触子22eに設けられていないものである。さらに、第1の実施例の接触子22cがプローブ針22bその物であるのに対し、第2の実施例では、プローブ針22bにタングステン等を使用し、接触子22eにBeCuやPdを用いるものである。

その他の構成物は第1の実施例と同様であるので説明を省略する。

このようにして第2の実施例によれば、プローブ針22bの接触子22eは断面四角形状をし、該プローブ針22bのフーム部分はタングステンを使用している。

このため、従来例のプローブ針が1点接触するのに対して、接触子22eを断面四角形状にするこ

設けたものである。

これにより、第1、第2の実施例を併せ持つプローブ針により、半導体チップ25内のECL回路等の機能動作試験等を精度良く行うことが可能となる。

このようにして、第1、第2、第3の実施例によれば、接触子22c、22e、22fが半導体チップ25のパッド電極25aの3個に連続的に接触されている。

このため、従来例のようなプローブ針22b3本が共通の電源に接続されるのにも拘らず、プローブ針22bとパッド電極群とを1対1に対応させるという事態を免れることができる。従って、従来共通の電源に接続されていたプローブ針22bをまとめて1本の四角形状のプローブ針とすることにより、その断面積を従来例に比べて多くすることができる。このことから、四角形状のプローブ針に係る自己の寄生抵抗を減少させることができ、故寄生抵抗を原因とする電圧降下も減少させることが可能となる。

これにより、従来試験装置に比べて、一層接触低下等が減少し、精度良い半導体集積回路の試験を行うことが可能となる。

(発明の効果)

以上説明したように本発明によれば、断面四角形状もしくは、断面に突起を設けたプローブ針と被試験物体のパッド電極とを多点接触もしくは面接触させることができる。

このため、プローブ針とパッド電極の間を電気的良好な接触状態にできることから、被試験物体の測定電圧に係る接触低下が減少し、該測定電圧の入力マージン不足による誤判定を無くすることが可能となる。

これにより、高精度度の半導体集積回路試験装置の製造に寄与するところが大きい。

4. 図面の簡単な説明

第1図は、本発明の半導体集積回路試験装置に係る原理図、

第2図は、本発明の第1の実施例の半導体集積

回路試験装置に係る構成図、

第3図(a)、(b)は、本発明の第1の実施例に係るプローブ針の説明図、

第4図(a)、(b)は、本発明の第2の実施例に係るプローブ針の説明図、

第5図(a)、(b)は、本発明の第3の実施例に係るプローブ針の説明図、

第6図は、従来例の半導体集積回路試験装置に係る構成図、

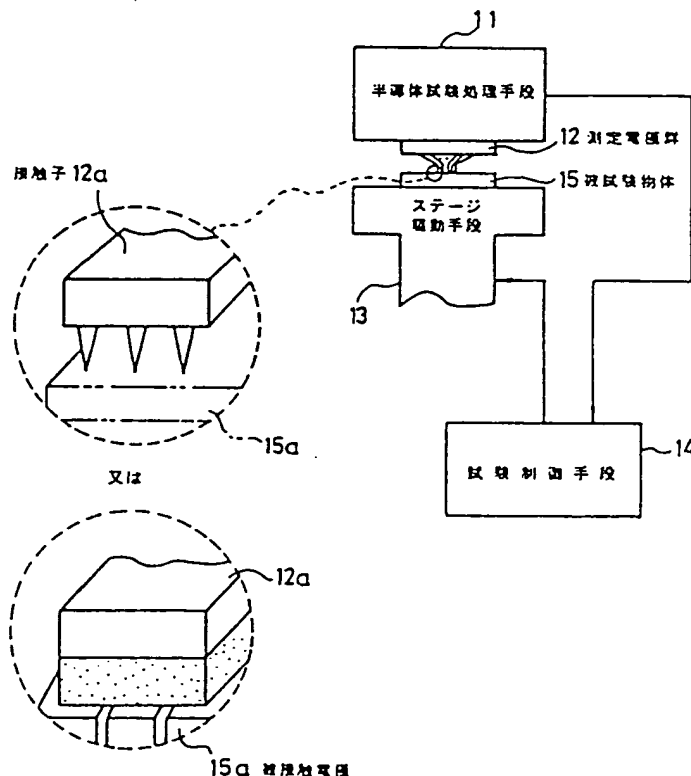
第7図(a)、(b)は、従来例の問題点に係る説明図である。

(符号の説明)

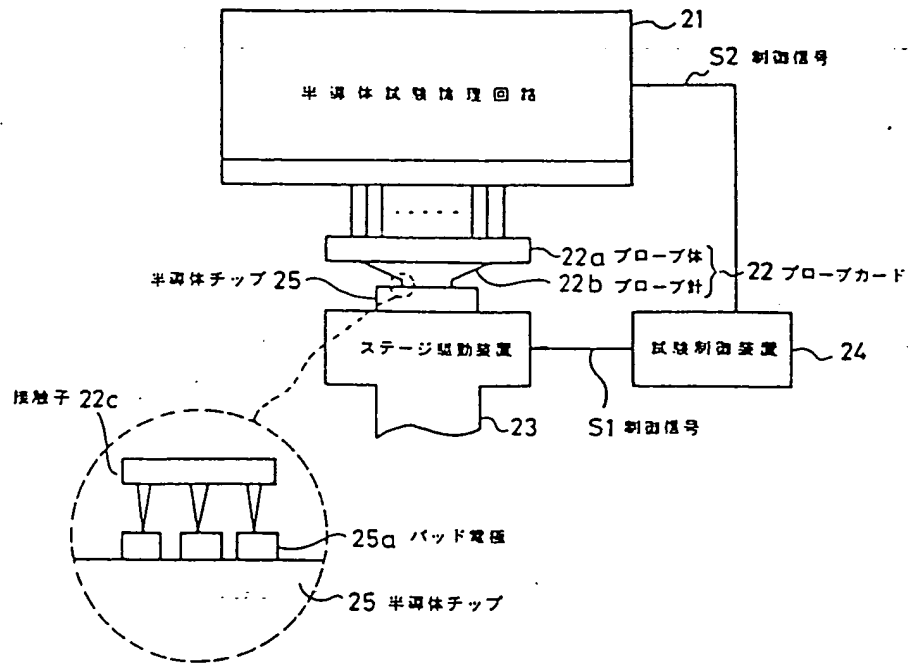
- 11…半導体試験処理手段、
- 12…測定電極群、
- 13…ステージ駆動手段、
- 14…試験制御手段、
- 12a…接触子。

出願人 富士通株式会社

代理人弁理士 岡本 啓三

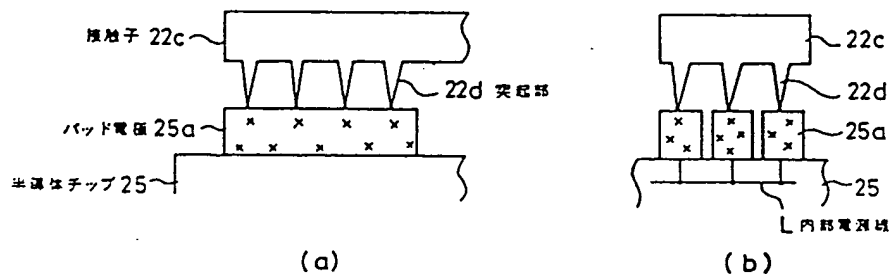


本発明の半導体集積回路試験装置に係る原理図



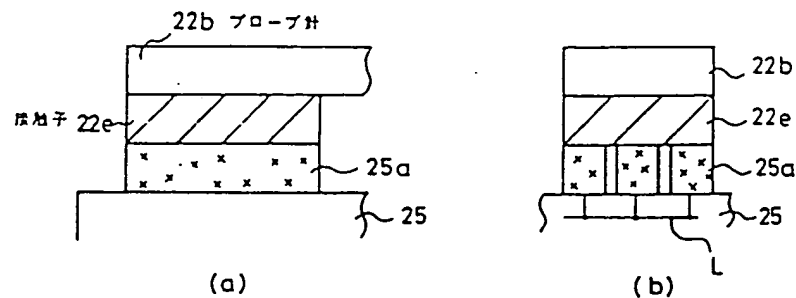
本発明の第 1 の実施例の半導体集積回路試験装置に係る構成図

第 2 図 Fig. 2



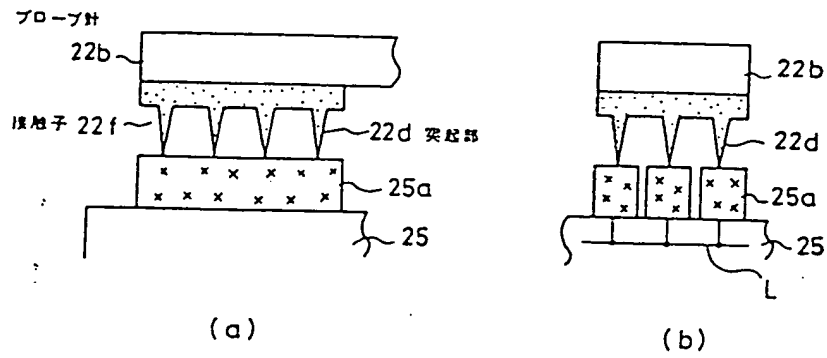
本発明の第 1 の実施例に係るプローブ針の説明図

第 3 図 Fig. 3



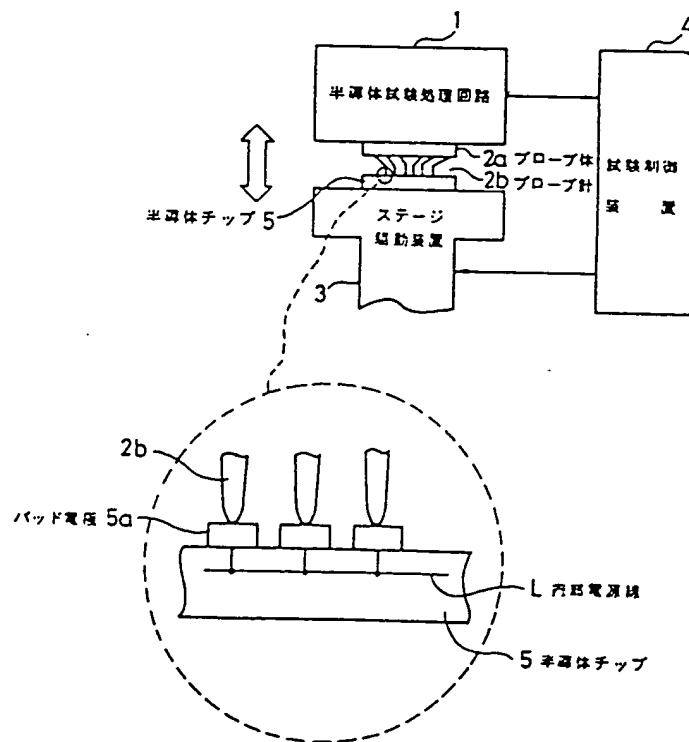
本発明の第 2 の実施例に係るプローブ針の説明図

第 4 図 Fig. 4



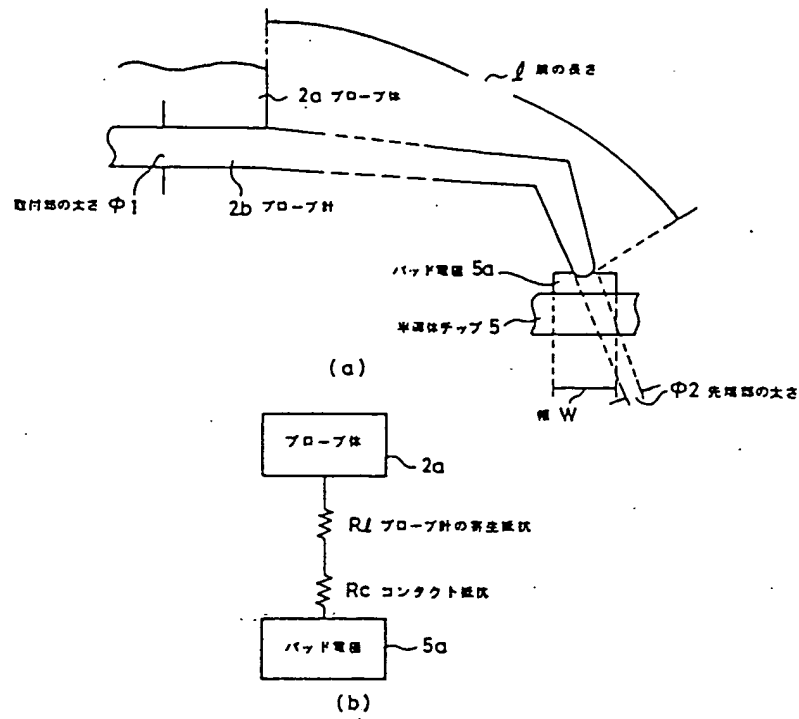
本発明の第3の実施例に係るプローブ針の説明図

第5図 Fig. 5



従来例の半導体集積回路試験装置に係る構成図

第6図 Fig. 6



従来例の問題点に係る説明図

第 7 図 Fig. 7

Abridged Translation of Citation (1)

Detailed Explanation of the Invention

- - - - -

Figs. 3(a) and 3(b) illustrates a probe stylus related to the first embodiment of the present invention. Fig. 3(a) is a side view, whereas Fig. 3(b) is a front view.

In Fig. 3(a), a contact element 22C has a plurality of projecting portions 22d to be bitten into a pad electrode 25a on a semiconductor chip 25. Also, in Fig. 3(b), the cross section of the contact element 22C is rectangular and can simultaneously contact three pad electrodes 25a on the semiconductor chip 25.

- - - - -